

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 7 月 15 日 (15.07.2004)

PCT

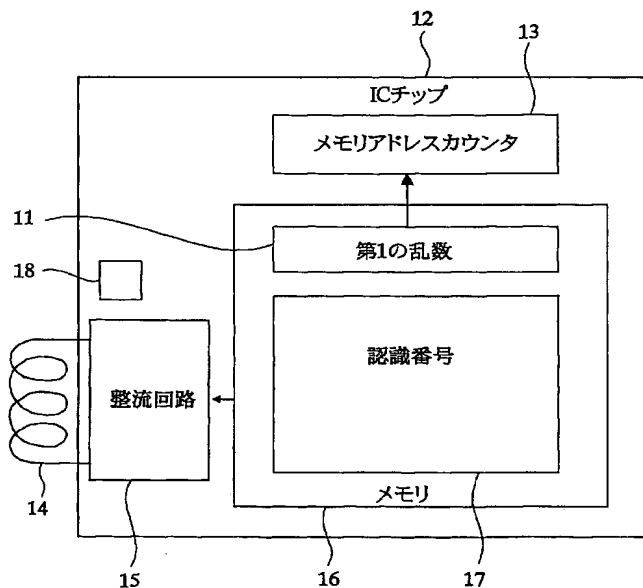
(10) 国際公開番号
WO 2004/059867 A1

- (51) 国際特許分類⁷: H04B 5/02, G06K 17/00, 19/00 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/016593 (75) 発明者/出願人 (米国についてのみ): 宇佐美 光雄
(22) 国際出願日: 2003 年 12 月 24 日 (24.12.2003) (USAMI, Mitsuo) [JP/JP]; 〒185-8601 東京都国分寺市
(25) 国際出願の言語: 日本語 (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿 8 丁目 1 番 1 号 アゼリアビル
(26) 国際公開の言語: 日本語 3 階 筒井国際特許事務所 Tokyo (JP).
(30) 優先権データ: 特願 2002-374168 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



- 12...IC CHIP
13...MEMORY ADDRESS COUNTER
11...FIRST RANDOM NUMBERS
17...IDENTIFICATION NUMBERS
16...MEMORY
15...RECTIFIER CIRCUIT

(57) Abstract: An IC chip (12) has a memory (16) for storing first random numbers (11) and information (such as identification numbers 17) other than the first random numbers (11). The IC chip (12) allows information stored in the memory (16) to be read out therefrom, in a noncontact manner, with time differences in accordance with the values of the first random numbers (11). The first random numbers (11) are set to a memory address counter (13) of the IC chip (12) for time difference control, whereby the memory address counter (13) can be also used to control reading out of the memory data, resulting in the logic to be constructed being simple. In this way, there can be provided a semiconductor device that is small in size, i.e., equal to or less than 0.5 mm per side and that allows congestion control to be performed.

(57) 要約: 第 1 の乱数 (11) と第 1 の乱数 (11) 以外 (認識番号 17 など) の情報を記憶するメモリ (16) を持ち、第 1 の乱数 (11) の数値に従って、時間差をもってメモリ (16) 内の情報を非接触で送出する IC チップ (12) であって、IC チップ (12) のメモリアドレスカウンタ (13) に第 1 の乱数 (11) を時間差制御のためにセットすることにより、メモリアドレスカウンタ (13) をメモリデータの送出制御と兼用することができ、簡潔に論理を構成することができる。以上のことによって小さいサイズすなわち 0.5 mm 角以下のサイズで輻輳制御が可能な半導体装置を構成することが可能となる。



(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置

5 技術分野

本発明は、半導体装置に関し、特にＩＣタグなどに用いられる輻輳制御機能付きＩＣチップの構成に適用して有効な技術に関する。

背景技術

- 10 例えば、本発明者が検討した技術として、受信装置と複数のＩＣタグとの間で、信号を授受することによって、ＩＣタグの識別を行うとき、複数のＩＣタグからの信号による輻輳を制御する手段として、以下の技術が考えられる。

- まず、ＩＣタグが受信装置からの送信要求に対して、そのＩＣタグの中に持つ認識番号を１ビットずつ送信する。受信装置は、受信した認識番号の１ビットを
- 15 ＩＣタグへ返送する。そして、ＩＣタグは、返送された１ビットと送信した１ビットとを比較して、等しければ次の１ビットを送信し、異なれば他のＩＣタグが存在していることになるので、送信を停止する。そして、すべてのビットを送信して、受信装置が正常に認識番号を受信したことの連絡を受けると、そのＩＣタグはそれ以降の応答をすべて終了する。このシーケンスを繰り返すことによって
- 20 複数のＩＣタグが存在しても個別に認識することが可能となる（例えば、特表平１０－０２１６９１号公報参照）。

発明の開示

- ところで、前記のようなＩＣタグなどの輻輳を制御する技術について、本発明
- 25 者が検討した結果、以下のようなことが明らかとなった。

例えば、前記の方法では、複数のＩＣタグを識別するために複雑な論理回路を必要とする。なぜならば、ＩＣタグは、認識番号の複数ビットを連続して送信することはしないで、１ビット単位に受信装置との送受信を繰り返すため、複雑なコマンドを必要とし、動作ステージ数が多く、複雑なフリップフロップを必要と

し、送受信の切り替えを複雑に制御する必要があり、メモリアドレスカウンタに複雑な制御を必要とし、データの比較回路を必要とするからである。

この論理回路の複雑性によって、半導体装置のサイズが大きくなり、このことは、半導体装置のコスト上昇を招くことになり、ＩＣタグの普及を阻害する要因ともなる。

そこで、本発明の目的は、ＩＣタグなどに実装されるＩＣチップなどにおいて、輻輳制御機能を簡単な論理で構成し、小さいサイズの輻輳制御機能付き半導体装置を提供するものである。

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

前記の課題を解決する第１の手段は、非接触で情報を送出する半導体装置の中に、第１の乱数と当該第１の乱数以外の情報を記憶するメモリを持ち、当該第１の乱数の数値に従って、時間差をもってメモリ内の情報を送出する半導体装置において、当該半導体装置のメモリアドレスカウンタには当該第１の乱数を時間差制御のためにセットされることを特徴とする半導体装置とすることである。

前記の課題を解決する第２の手段は、非接触で情報を送出する複数の半導体装置の中に、第１の乱数と当該第１の乱数以外の情報を記憶するメモリを持ち、当該複数の半導体装置が外部からのクロックに同期して動作して、当該半導体装置の外部にある受信装置において、当該複数の半導体装置が動作していることを検出したとき、当該第１の乱数の数値に従って、それぞれの半導体装置が時間差をもって当該半導体装置内にあるメモリ内の情報を送出することを特徴とする半導体装置とすることである。

前記の課題を解決する第３の手段は、非接触で情報を送出する複数の半導体装置の中に、第１の乱数と第２の乱数と当該第１及び第２の乱数以外の情報を記憶するメモリを持ち、当該複数の半導体装置が外部からのクロックに同期して動作して、当該半導体装置の外部にある受信装置において、複数の半導体装置が動作していることを検出したとき、当該第１の乱数の数値に従って、それぞれの半導

体装置が時間差をもって当該半導体内にあるメモリ内の情報を送出して、さらに当該受信装置において、複数の半導体装置が同一の第1の乱数を所有することを検出したとき、半導体装置の当該第2の乱数の数値に従って、それぞれの半導体装置が時間差をもって当該半導体内にあるメモリ内の情報を送出することを特徴とする半導体装置とすることである。

前記の課題を解決する第4の手段は、非接触で情報を送出する半導体装置の中に、第1の乱数と当該第1の乱数以外の情報を記憶するメモリを持ち、当該第1の乱数の数値に従って、時間差をもってメモリ内の情報を送出する半導体装置において、当該メモリはさらにエラー検出コードを記憶し、複数の半導体装置が外部のクロックに同期して動作するとき、当該複数の半導体装置から当該エラー検出コードも送出されて、受信装置において、当該エラー検出コードは論理的和で受信されて、単数の場合では出現しないエラー検出コードであることを認識して、受信装置において複数の半導体装置が動作していることを検出することを特徴とする半導体装置とすることである。

前記の課題を解決する第5の手段は、非接触で情報を送出する半導体装置の中に、第1の乱数と当該第1の乱数以外の情報を記憶するメモリを持ち、当該第1の乱数の数値に従って、時間差をもってメモリ内の情報を送出する半導体装置において、半導体装置内に第1の乱数と同じビット数のカウンタを持ち、第1の乱数を当該カウンタにセットして、外部からのクロックによりカウンタを変化させて、当該カウンタの内容が特定のコードに達したときに当該半導体装置内にあるメモリ内の情報を送出することを特徴とする半導体装置とすることである。

前記の課題を解決する第6の手段は、非接触で情報を送出する半導体装置の中に、第1の乱数と当該第1の乱数以外の情報を記憶するメモリを持ち、当該第1の乱数の数値に従って、時間差をもってメモリ内の情報を送出する半導体装置において、当該半導体装置の外部から搬送波信号がLレベルからHレベルに一定時間継続し、その後、いったんLレベルに落ちて、一定時間経過後に再びHレベルとなった時に最初のクロックと認識することを特徴とする半導体装置とすることである。

前記の課題を解決する第7の手段は、非接触で情報を送出する半導体装置の中

に、第 1 の乱数と当該第 1 の乱数以外の情報を記憶するメモリを持ち、当該第 1 の乱数の数値に従って、時間差をもってメモリ内の情報を送出する半導体装置において、当該半導体装置の中には、当該メモリのアドレスを示すカウンタを保持して、当該カウンタは当該第 1 の乱数の数値をセットしてカウント動作することと兼用することを特徴とする半導体装置とすることである。

前記の課題を解決する第 8 の手段は、非接触で情報を送出する複数の半導体装置の中に、第 1 の乱数と第 2 の乱数と当該第 1 及び第 2 の乱数以外の情報を記憶するメモリを持ち、当該複数の半導体装置が外部からのクロックに同期して動作して、受信装置において、複数の半導体装置が動作していることを検出したとき、
10 当該第 1 の乱数の数値に従って、それぞれの半導体チップが時間差をもって当該半導体装置内にあるメモリ内の情報を送出して、さらに受信装置において、複数の半導体装置が同一の第 1 の乱数を所有することを検出したとき、半導体装置の当該第 2 の乱数の数値に従って、それぞれの半導体装置が時間差をもって当該半導体内にあるメモリ内の情報を送出する半導体装置において、当該半導体装置の
15 中には、当該メモリのアドレスを示すカウンタを保持して、当該カウンタは当該第 2 の乱数の数値をセットしてカウント動作することと兼用することを特徴とする半導体装置とすることである。

前記の課題を解決する第 9 の手段は、非接触で情報を送出する複数の半導体装置の中に、第 1 の乱数と第 2 の乱数と当該第 1 及び第 2 の乱数以外の情報を記憶するメモリを持ち、当該複数の半導体装置が外部からのクロックに同期して動作して、受信装置において、複数の半導体装置が動作していることを検出したとき、当該第 1 の乱数の数値に従って、それぞれの半導体装置が時間差をもって当該半導体装置内にあるメモリ内の情報を送出して、さらに受信装置において、複数の半導体装置が同一の第 1 の乱数を所有することを検出したとき、半導体装置
20 の当該第 2 の乱数の数値に従って、それぞれの半導体装置が時間差をもって当該半導体装置内にあるメモリ内の情報を送出する半導体装置において、当該半導体装置の中には、当該メモリのアドレスを示すカウンタを保持して、当該カウンタは当該第 2 の乱数の数値をセットしてカウント動作することと兼用とする半導体装置において、当該第 2 の乱数の数値をセットするための信号は、外部からの

最後のクロック信号がHレベルからLレベルに変わった後に特定の変調期間が存在して、当該一定時間後に搬送波が初期の搬送波の振幅に戻るタイミングを得ることにより実現することを特徴とする半導体装置とすることである。

前記の課題を解決する第10の手段は、非接触で情報を送出する複数の半導体装置の中に、第1の乱数と第2の乱数と当該第1及び第2の乱数以外の情報を記憶するメモリを持ち、当該複数の半導体装置が外部からのクロックに同期して動作して、受信装置において、複数の半導体装置が動作していることを検出したとき、当該第1の乱数の数値に従って、それぞれの半導体装置が時間差をもって当該半導体装置内にあるメモリ内の情報を送出して、さらに受信装置において、複数の半導体装置が同一の第1の乱数を所有することを検出したとき、半導体装置の当該第2の乱数の数値に従って、それぞれの半導体装置が時間差をもって当該半導体装置内にあるメモリ内の情報を送出する半導体装置において、当該半導体装置の中には、当該メモリのアドレスを示すカウンタを保持して、当該カウンタは当該第2の乱数の数値をセットしてカウント動作することと兼用とする半導体装置において、当該半導体装置内には、当該カウンタがメモリのアドレスを示すカウンタとして使用されていることを示すフリップフロップが存在することを特徴とする半導体装置とすることである。

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

(1) シンプルな論理回路を構成して輻輳制御用ICタグを実現することが可能となる。

(2) コマンドを必要としないので、そのために複雑なデコード回路が不要であり、簡潔に論理を構成することができる。

(3) 動作ステージに繰り返しが多いため、制御するフリップフロップを少なくすることができ、簡潔な論理を構成することができる。

(4) メモリアドレスカウンタをメモリデータの送出制御と兼用することができ、簡潔に論理を構成することができる。

(5) 前記(1)～(4)により、小さいサイズすなわち0.5mm角以下のサイズで輻輳制御が可能な半導体装置を構成することが可能となる。

図面の簡単な説明

図 1 は本発明の実施の形態 1 である半導体装置の構成を示すブロック図である。

- 5 図 2 は本発明の実施の形態 2 である半導体装置の構成を示すブロック図である。

図 3 は本発明の実施の形態 3 において、半導体装置の受信信号を示す信号波形図である。

- 10 図 4 は本発明の実施の形態 4 において、複数の IC タグが存在する場合の輻輳制御の方法を示す説明図である。

図 5 (a) ~ (c) は本発明の実施の形態 5 において、本発明の実施の形態 1 ~ 3 の半導体装置を実装した IC タグを示す構成図である。

発明を実施するための最良の形態

- 15 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

(実施の形態 1)

- 20 図 1 は本発明の実施の形態 1 である半導体装置の構成を示すブロック図である。

、まず、図 1 により、本実施の形態 1 の半導体装置の構成の一例を説明する。本実施の形態 1 の半導体装置は、例えば、IC チップ 12 とされ、メモリアドレスカウンタ 13、アンテナ 14、整流回路 15、メモリ 16、第 1 のフリップフロップ 18 などから構成されている。

- 25 メモリ 16 内には、第 1 の乱数 11、認識番号 17 などの情報があらかじめ書き込まれている。

メモリアドレスカウンタ 13 は、メモリ 16 のビットアドレスを示すカウンタであり、第 1 の乱数 11 と同じビット数を持つ。

次に、図 1 により、本実施の形態 1 の半導体装置の動作を説明する。まず、ア

アンテナ 14 が外部からの電磁波を受けて、整流回路 15 において直流電圧が生成される。

そして、第 1 のフリップフロップ 18 は、初期状態として“H”にセットされ、このとき、メモリ 16 内の第 1 の乱数 11 が、メモリアドレスカウンタ 13 にセ
5 ットされる。

次に、外部にある受信装置からのクロックを受信して、メモリアドレスカウンタ 13 はカウントアップ又はカウントダウンを行う。

そして、メモリアドレスカウンタ 13 の内容が特定のコード（例えば、“0”）に達した時、第 1 のフリップフロップ 18 が“L”にセットされ、認識番号 17
10 などのメモリ 16 内の情報が、整流回路 15 及びアンテナ 14 を介して外部の受信装置へ送信される。

すなわち、第 1 の乱数 11 の数値に従って、時間差をもって、認識番号 17 などのメモリ 16 内の情報が IC チップ 12 から送出されることとなる。

また、非接触で情報を送出する IC チップ 12 が複数個存在する場合、当該複
15 数の IC チップ 12 が外部からのクロックに同期して同時に動作する。この場合は、それぞれの IC チップ 12 のメモリ 16 の中には、あらかじめ、第 1 の乱数 11 が無作為に書き込まれているので、当該第 1 の乱数 11 の数値に従って、それぞれの IC チップ 12 が時間差をもって当該 IC チップ 12 のメモリ 16 内の情報を送出する。

20 また、メモリアドレスカウンタ 13 は、メモリ 16 のビットアドレスを示すとともに、第 1 の乱数 11 の数値をセットしてカウント動作することと兼用しているので、シンプルな回路構成で輻輳制御を行うことが可能となる。

次に、第 1 のフリップフロップ 18 の機能を簡単に説明する。前記の動作を実現するには、メモリ 16 内にある第 1 の乱数 11 をいったんメモリアドレスカウンタ 13 にセットするステージが必要である。これは、第 1 のフリップフロップ
25 18 の出力が“H”のときにセットされる。メモリアドレスカウンタ 13 にセットされた第 1 の乱数 11 が、受信装置からのクロックにより、カウントアップ又はカウントダウンして“0”になったときに、第 1 のフリップフロップ 18 の出力が“L”にセットされ、メモリアドレスに従って認識番号 17 などのメモリ 1

6内の情報が送出される。

(実施の形態2)

図2は本発明の実施の形態2である半導体装置の構成を示すブロック図である。

- 5 図2に示すように、本実施の形態2の半導体装置は、例えば、ICチップ12とされ、前記実施の形態1の半導体装置に、さらに第2のフリップフロップ21を設け、メモリ16内の情報として第2の乱数22を追加したものである。

- 次に、図2により、本実施の形態2の半導体装置の動作を説明する。まず、前記実施の形態1と同様にして、外部からの電磁波を受けて、整流回路15において直流電圧が生成され、メモリ16内の第1の乱数11が、メモリアドレスカウンタ13にセットされ、メモリアドレスカウンタ13はカウントアップ又はカウントダウンする。

- そして、メモリアドレスカウンタ13の内容が特定のコード(例えば、“0”)に達した時、第1のフリップフロップ18が“L”にセットされ、認識番号17などのメモリ16内の情報が、整流回路15及びアンテナ14を介して送信される。

- そして、複数のICチップ12が外部からのクロックに同期して同時に動作し、ICチップ12の外部にある受信装置において、複数のICチップ12が存在して動作することを検出して、第1の乱数11の数値に従って、それぞれのICチップ12が時間差をもってICチップ12内にあるメモリ16内の情報を送出した後、さらに、当該受信装置において、複数のICチップ12が同一の第1の乱数11を所有することを検出したときは、第2のフリップフロップ21が“H”にセットされる。

- すると、第2の乱数22がメモリアドレスカウンタ13にセットされ、カウントアップ又はカウントダウンが行われる。

そして、メモリアドレスカウンタ13の内容が特定のコード(例えば、“0”)に達した時、認識番号17などのメモリ16内の情報が、整流回路15及びアンテナ14を介して送信される。

よって、第1の乱数11の数値に従って、時間差をもって、認識番号17など

のメモリ 16 内の情報が送出された後、さらに、受信装置において、複数の IC チップ 12 が同一の第 1 の乱数 11 を所有することを検出したとき、第 2 の乱数 22 の数値に従って、それぞれの IC チップ 12 が時間差をもって、認識番号 17 などのメモリ 16 内の情報を送出することとなる。

- 5 また、メモリアドレスカウンタ 13 は、メモリ 16 のビットアドレスを示すとともに、第 2 の乱数 22 の数値をセットしてカウント動作することと兼用している。

次に、第 2 のフリップフロップ 21 の機能を簡単に説明する。前記の動作を実現するには、メモリ 16 内にある第 2 の乱数 22 をいったんメモリアドレスカウンタ 13 にセットするステージが必要である。これは第 2 のフリップフロップ 21 の出力が “H” のときにセットされる。メモリアドレスカウンタ 13 にセットされた第 2 の乱数 22 が、受信装置からのクロックにより、カウントアップ又は
10 カウントダウンして “0” となったときに、第 2 のフリップフロップ 21 の出力が “L” にセットされ、メモリアドレスに従って認識番号 17 などのメモリ 16
15 内の情報が送出される。

第 1 の乱数 11 と第 2 の乱数 22 をもつ理由は輻輳制御の離散確率による。第 1 の乱数 11 や第 2 の乱数 22 はメモリデータの送出するタイミングを決定していることと、あらかじめ IC チップ 12 の製造時に使用者によりアットランダムに書き込まれるため、有限ビット長となる。

- 20 したがって、ある確率で同じ乱数が衝突することは原理的に避けることが出来ない。衝突しているかどうかはエラー検出コードが乱れるために受信装置で検出することが可能である。

したがって、このとき受信装置側からモード切り替えの変調信号を IC チップ 12 に送信することによって、各 IC チップ 12 が持っている第 2 の乱数 22 に
25 よって再度メモリデータを送出する。第 1 の乱数 11 と第 2 の乱数 22 が全く同じで衝突する確率は一般に 0 ではないが、極めて小さくなる。

(実施の形態 3)

本発明の実施の形態 3 は、例えば、IC チップを実装した IC タグとされ、前記実施の形態 1 又は 2 である半導体装置 (IC チップ 12) のメモリ 16 内の情

報として、さらに、エラー検出コードを追加したものである。

図3は、本実施の形態3において、半導体装置の受信信号を示す信号波形図である。

図3により、本実施の形態3の半導体装置の動作を説明する。まず、ICチップ12において、外部からの信号が受信されると、キャリア変調信号31は、図3のようにキャリアがない“L”レベルからキャリアがある“H”レベルに変更される。そして、“H”レベルに一定時間継続し、その後、いったん“L”レベルに落ちて、一定時間経過後に再び“H”レベルとなった時に最初のクロック信号32と認識される。

このあと連続的に、クロック信号が受信装置のアンテナからICチップ12を含むICタグに与えられる。このクロック信号により、すべてのICタグは所定のメモリ16の内容を送出する。

このとき、所定のビットを受信装置が受信して、エラー検出コードを確認して、エラーがあると、複数のICタグがあるか、本当にエラーになったかのどちらかであるので、そのまま受信装置はクロック信号を送出し続ける。

各ICタグは、自分のメモリ16内の第1の乱数11を自分のメモリアドレスカウンタ13にセットして、第1の乱数11に従って、クロック信号によりカウントアップ又はカウントダウンを進めていく。メモリアドレスカウンタ13が“0”となったときに自分のメモリ16の内容をクロック信号により送出手する。

さらに、受信装置は、所定のビットを受信して、エラー検出コードを確認する。エラーがあると、複数のICタグがあるか、又は本当にエラーになったかのどちらかであるので、受信装置が所定のクロックをICタグに送信した後、モード切り替え変調信号33を送信する。

これによって、各ICタグは各ICタグの中のメモリ16内にある第2の乱数22を自分のメモリアドレスカウンタ13にセットして、クロック信号によりカウントアップ又はカウントダウンを進めていく。メモリアドレスカウンタ13が“0”となったときに、自分のメモリ16内の情報をクロック信号により送出手する。

以上のように、非接触で情報を送出手するICチップ12の中に、あらかじめ書

き込まれた第1の乱数11と第1の乱数11以外の情報を記憶するメモリ16を持ち、第1の乱数11の数値に従って、時間差をもってメモリ16内の情報を送出するICチップ12において、第1の乱数11以外にはエラー検出コードを持ち、複数のICチップ12が外部のクロックにより、同時に動作するとき、エ

5 エラー検出コードも複数のICチップ12から同時に送出されて、受信装置において、当該エラー検出コードは論理的で受信されて、単数の場合では出現しないエラー検出コードであることを認識して、受信装置において複数のICチップ12が動作していることを検出する。

また、非接触で情報を送出する複数のICチップ12の中に、あらかじめ書き

10 込まれた第1の乱数11及び第2の乱数22と第1の乱数11及び第2の乱数22以外の情報を記憶するメモリ16をもち、複数のICチップ12が外部からのクロックに同期して同時に動作して、受信装置において、複数のICチップ12が存在して動作することを検出したとき、第1の乱数11の数値に従って、それぞれのICチップ12が時間差をもってICチップ12内にあるメモリ16

15 内の情報を送出して、さらに受信装置において、複数のICチップ12が同一の第1の乱数11を所有することを検出したとき、ICチップ12の第2の乱数22の数値に従って、それぞれのICチップ12が時間差をもってICチップ12内にあるメモリ16内の情報を送出するICチップ12において、ICチップ12の中には、メモリ16のビットアドレスを示すメモリアドレスカウンタ13を

20 保持して、メモリアドレスカウンタ13は第2の乱数22の数値をセットしてカウント動作することと兼用とするICチップ12であって、第2の乱数22の数値をセットするための信号は、外部からの最後のクロック信号が“H”レベルから“L”レベルに変わった後に特定の変調期間（キャリア変調信号31）が存在して、当該一定時間後に搬送波が初期の搬送波の振幅に戻るタイミングを得ること

25 によりICチップ12内のメモリ16内の情報を送出する。

このことにより簡潔な論理で、輻輳制御を行うことが可能となる。

（実施の形態4）

図4は本発明の実施の形態4において、複数のICタグが存在する場合の輻輳制御の方法を示す説明図である。

図4により、複数のICタグが存在する場合の輻輳制御の方法を説明する。図4には、第1のICタグ41と第2のICタグ42と第3のICタグ43と第4のICタグ44と第5のICタグ45が存在している。

5 これらのICタグに向けて、受信装置アンテナ47から電磁波46が放射されている状態にある。受信装置48はこの電磁波46を制御することが可能である。

第1のICタグ41と第2のICタグ42と第3のICタグ43と第4のICタグ44と第5のICタグ45には、前記実施の形態1～3記載のICチップ12が実装されている。各ICチップには、前記実施の形態1～3で述べた乱数が組み込まれている。

10 各ICタグからのデータは、個別に受信装置48で読み取ることが可能である。受信装置48で読み取られたデータは、その中のグループごとに乱数と乱数のエラー検出コードがチェックされて、雑音などにより正常に読み取りが行われたかどうか正確にチェックされる。エラーチェックの方法はあらかじめアルゴリズムが明確な暗号系であってもよく、また、サイクリックリダンダンシチェックコード
15 ドであってもよい。

また、この例では5つのICタグが存在することになっているが、5つである必要はなく、最大1,000から10,000個のICタグが存在してもよい。

(実施の形態5)

20 図5(a)～(c)は前記実施の形態1～3記載の半導体装置(ICチップ12)を実装したICタグを示す構成図である。

図5により、前記実施の形態1～3記載の半導体装置(ICチップ12)の実装形態を説明する。図5(a)～(c)に示すように、本実施の形態5におけるICタグは、前記実施の形態1～3記載のICチップ12、タグシート51、インデクス54、アンテナ52、53、55、56、57などから構成される。

25 図5(a)はタグシート51の上において、ICチップ12に第1のストレートアンテナ52と第2のストレートアンテナ53が接続されている。また、タグシート51にはインデクス54が付けられている。

また、図5(b)はタグシート51の上において、ICチップ12に第1の変形アンテナ55と第2の変形アンテナ56が接続されている。また、タグシート

5 1にはインデクス5 4が付けられている。

また、図5 (c)はタグシート5 1の上において、ICチップ1 2に第3の変形アンテナ5 7と第2の変形アンテナ5 6が接続されている。また、タグシート5 1にはインデクス5 4が付けられている。

- 5 これらのタグシート5 1、インデクス5 4及びICチップ1 2は位置が共通であるが、アンテナの形状が異なる3種類のICタグが実現されている。

なお、それぞれのICチップ1 2のメモリ1 6は前記実施の形態1～4で説明した技術に基づき異なった認識番号を持っている。

- 10 これらのICタグは、さまざまな商品に貼付されて、それぞれの商品の識別に使用されるが、複数のICタグが近くに接近する状態が存在する。

アンテナ同士が接近すると、アンテナ間で寄生容量が発生してしまい、共振する周波数が小さくなる。これは、共振周波数はアンテナ容量とアンテナインダクタンスの積の平方根の逆数に比例するため、アンテナ容量が寄生容量の追加で大きくなると、共振周波数が小さくなることによる。

- 15 このため、輻輳制御をするタグシステムでは、受信装置の周波数をホッピングしたりする必要が発生する。また、同一形状のアンテナが重なると同一電波エリアに二つのものが存在することになり、ひとつひとつへのタグのエネルギーが低減してしまい、通信距離の低下を招くことになる。

- 20 本実施の形態5では、図5 (a)と図5 (b)と図5 (c)のアンテナ同士を重ねても完全にアンテナパターンが一致することがない。そのために、寄生容量の発生が抑えられて、また、電波を獲得するエリアも確保できて、前述の共振周波数の低下と獲得エネルギーの低下を抑えることが可能となる。

すなわち、ホッピングしたりする工夫が省け、通信距離の低下を大幅に招かない効果が期待できる。

- 25 ここで示した3種類のアンテナパターンは一例であって、アンテナの形状を組み合わせた的に変えることにより、数多くのパターンを作成することによって、任意の種類のアンテナが重なっても、完全に一致する確率が低減され、輻輳制御を効率良く行うことが可能となる。

なお、インデクス5 4はタグシート5 1の方向を示すものであって、タグシー

ト 5 1 の貼りつけ時点でのタグシートの方角を合わせる便宜に用いられる。

前記実施の形態 1 ～ 3 記載の半導体装置について、以上のような実装形態をとることにより、より一層、輻輳制御の効果が発揮される。

- 5 以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

- 10 例えば、前記実施の形態においては、非接触で情報を送出する I C チップについて説明したが、これに限定されるものではなく、その他の半導体装置についても適用可能であり、特に半導体装置が超小型になるほど本発明の効果は有効である。

また、前記実施の形態においては、I C タグへの応用例について説明したが、これに限定されるものではなく、I C カードなどその他の製品についても適用可能である。

15 産業上の利用可能性

本発明は、半導体装置、特に I C タグなどに用いられる輻輳制御機能付き I C チップの構成に適用して有効なものである。

請 求 の 範 囲

1. 第1の乱数及びその他の情報を記憶するメモリと、
前記メモリのアドレスを示すメモリアドレスカウンタとを有し、
5 前記メモリ内の前記第1の乱数を前記メモリアドレスカウンタにセットし、前記第1の乱数の数値に従って、時間差をもって前記メモリ内の情報を非接触で送出することを特徴とする半導体装置。
2. 第1の乱数及びその他の情報を記憶するメモリを有する半導体装置であって、
複数の前記半導体装置が外部からのクロックに同期して動作し、前記半導体装
10 置の外部にある受信装置において、複数の前記半導体装置の動作が検出されたとき、前記第1の乱数の数値に従って、それぞれの前記半導体装置が時間差をもって前記メモリ内の情報を非接触で送出することを特徴とする半導体装置。
3. 請求項2記載の半導体装置であって、
前記メモリは、さらに、第2の乱数を記憶し、前記受信装置において、複数の
15 前記半導体装置の前記第1の乱数が同一であることが検出されたとき、前記第2の乱数の数値に従って、それぞれの前記半導体装置が時間差をもって前記メモリ内の情報を送出することを特徴とする半導体装置。
4. 請求項2記載の半導体装置であって、
前記メモリは、さらに、エラー検出コードを記憶し、複数の前記半導体装置が
20 外部からのクロックに同期して動作するとき、複数の前記半導体装置から前記エラー検出コードが送出されて、前記受信装置において、前記エラー検出コードが論理的和で受信されて、前記半導体装置が単数の場合では出現しないエラー検出コードであることを認識して、複数の前記半導体装置の動作が検出されることを特徴とする半導体装置。
- 25 5. 第1の乱数及びその他の情報を記憶するメモリと、
前記第1の乱数と同じビット数のカウンタとを有し、
前記メモリ内の前記第1の乱数を前記カウンタにセットし、外部からのクロックにより前記カウンタの内容を変化させて、前記カウンタの内容が特定のコードに達したときに前記メモリ内の情報を非接触で送出することを特徴とする半導

体装置。

図 1

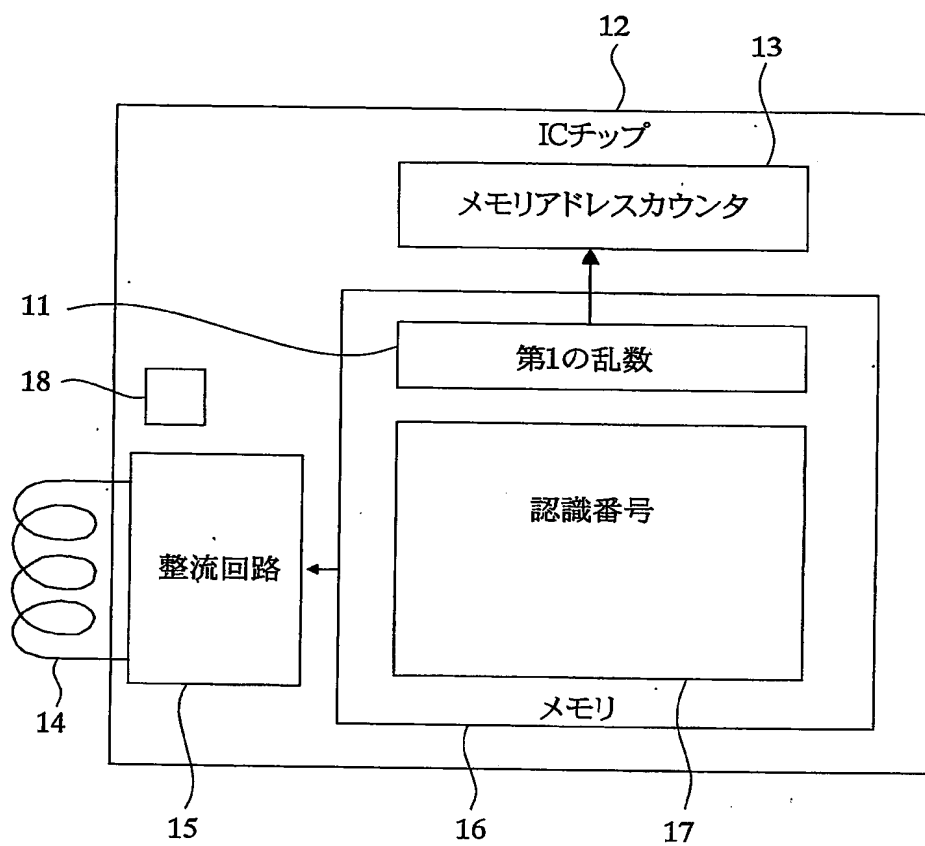


図 2

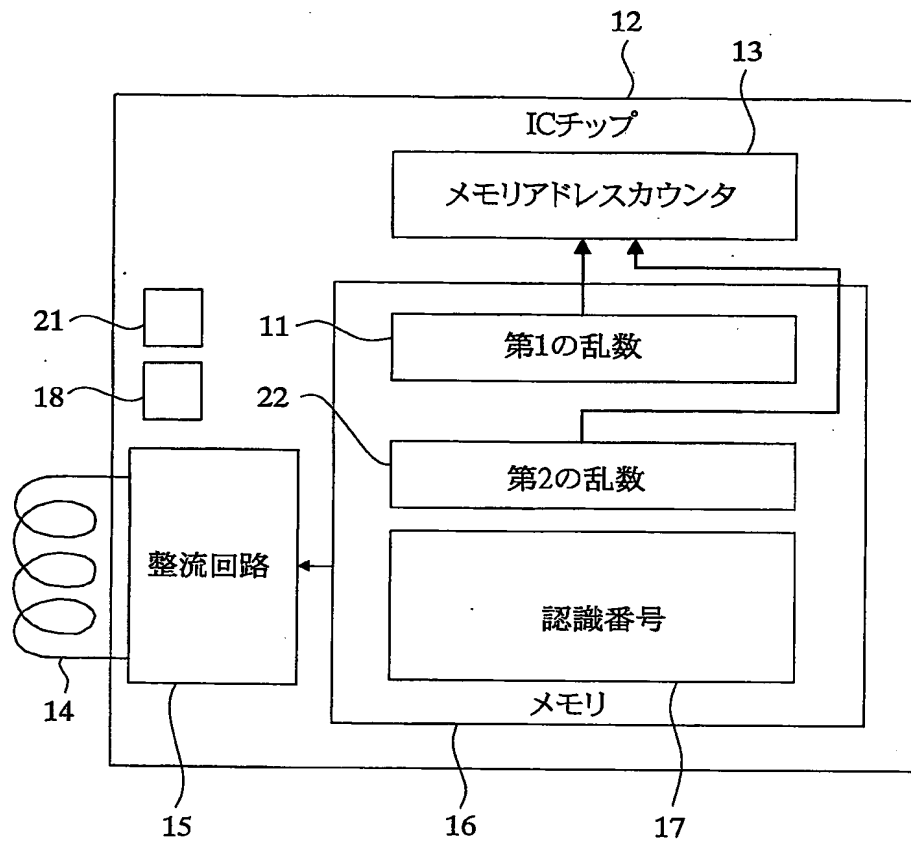


図 3

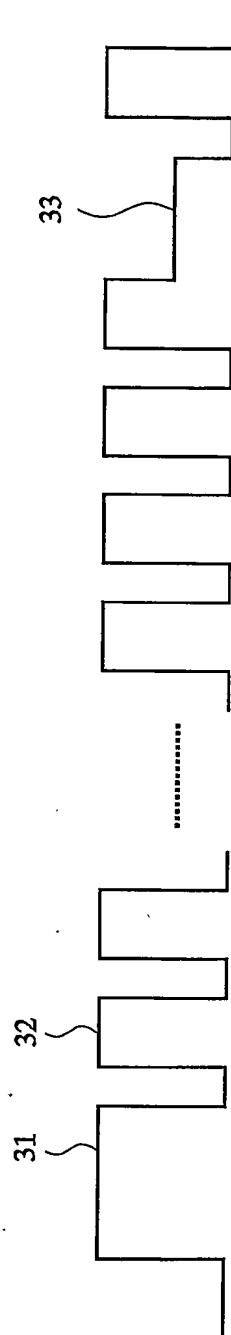


図 4

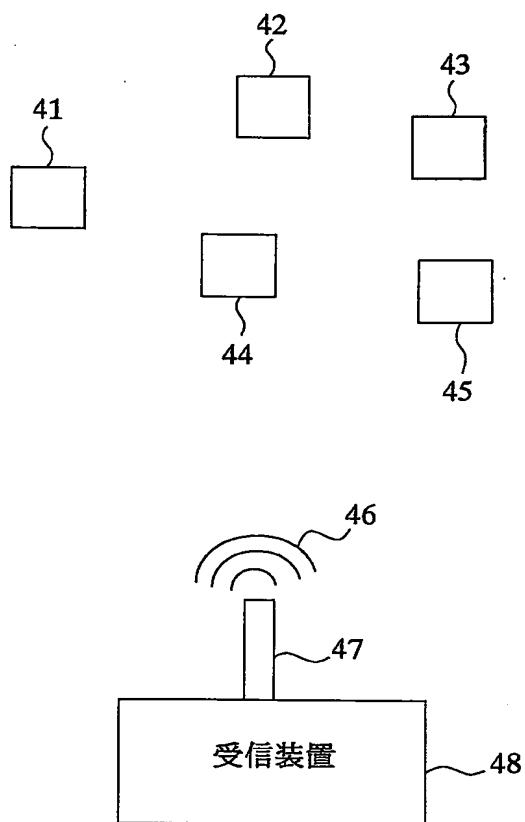
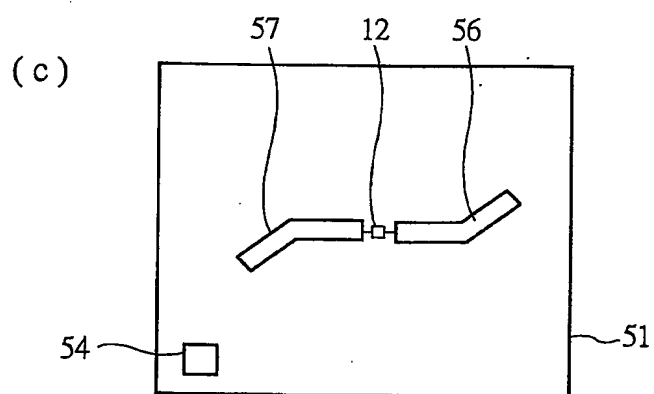
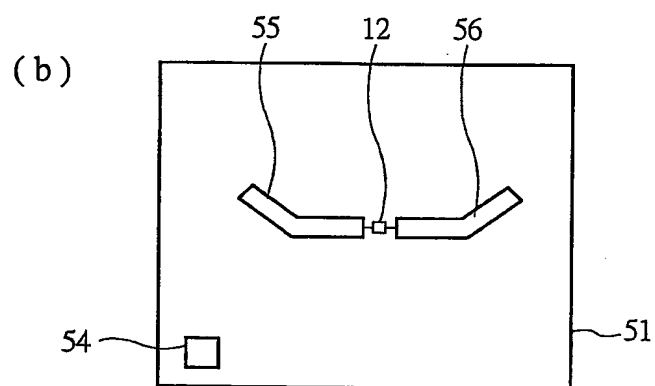
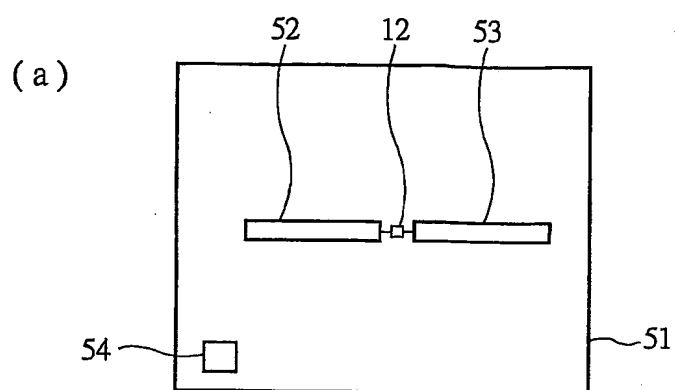


図 5



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/16593

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H04B5/02, G06K17/00, G06K19/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H04B5/00-5/06, G06K17/00, G06K19/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 08-181633 A (Toshiba Corp.), 12 July, 1996 (12.07.96), Par. Nos. [0017] to [0034]; Figs. 1, 2 (Family: none)	2-4 1
X Y A	JP 07-140236 A (Sekisui Chemical Co., Ltd.), 02 June, 1995 (02.06.95), Par. Nos. [0006] to [0032]; Figs. 1 to 4 (Family: none)	5 2-4 1
X Y A	JP 05-232218 A (Olympus Optical Co., Ltd.), 07 September, 1993 (07.09.93), Par. Nos. [0016] to [0023]; Fig. 1 (Family: none),	5 2-4 1
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 25 March, 2004 (25.03.04)		Date of mailing of the international search report 13 April, 2004 (13.04.04)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04B 5/02
 Int. Cl⁷ G06K 17/00
 Int. Cl⁷ G06K 19/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04B 5/00-5/06
 Int. Cl⁷ G06K 17/00
 Int. Cl⁷ G06K 19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 08-181633 A (株式会社東芝) 1996. 07. 12, 第17-34段落目, 図1, 2 (ファミリーなし)	2-4 1
X Y A	JP 07-140236 A (積水化学工業株式会社) 1995. 06. 02, 第6-32段落目, 図1-4 (ファミリーなし)	5 2-4 1
X Y A	JP 05-232218 A (オリンパス光学工業株式会社) 1993. 09. 07, 第16-23段落目, 図1 (ファミリーなし)	5 2-4 1

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

25.03.2004

国際調査報告の発送日

13.4.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

丸山 高政

5 J

3138

電話番号 03-3581-1101 内線 3535